

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000101424 A**(43) Date of publication of application: **07.04.00**

(51) Int. Cl.

H03L 7/08**H03B 1/04****H03L 7/093**(21) Application number: **10265457**(71) Applicant: **SONY CORP**(22) Date of filing: **18.09.98**(72) Inventor: **SONEDA MITSUO**(54) **CLOCK GENERATING CIRCUIT**

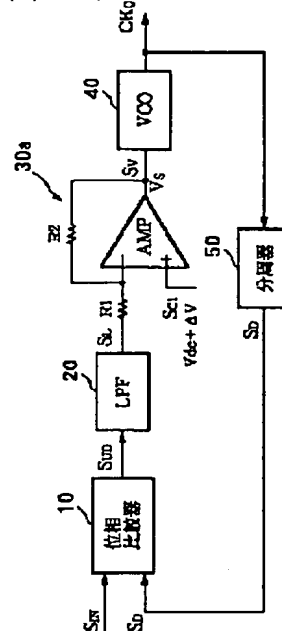
semiconductor device as an operating clock signal.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To realize a clock-generating circuit that realizes spread spectrum processing for a clock signal and reduces the radiation of electromagnetic waves by shifting only slightly an operating clock signal of a semiconductor device.

SOLUTION: A phase comparator 10 of a PLL circuit compares a phase of a received reference clock signal SIN with a phase of a frequency division signal SD from a frequency divider 50, outputs an up-down signal SUD in response to a phase difference of the signals, a low-pass filter 20 eliminates a high frequency component of the up-down signal SUD and provides an output of a signal SL, consisting of low frequency components. A DC amplifier 30a generates a control signal SV resulting from adding a bias signal, in response to a frequency control signal SC1 to the signal SL and gives the signal SV to a VCO 40, the VCO 40 oscillates at a frequency set by the control signal SV and generates a clock signal CK0, whose frequency is transited in response to the frequency control signal SC1 and gives it to a



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101424

(P2000-101424A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード (参考)
H 0 3 L 7/08		H 0 3 L 7/08	G 5 J 1 0 6
H 0 3 B 1/04		H 0 3 B 1/04	
H 0 3 L 7/093		H 0 3 L 7/08	E

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平10-265457

(22) 出願日 平成10年9月18日 (1998.9.18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 曾根田 光生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

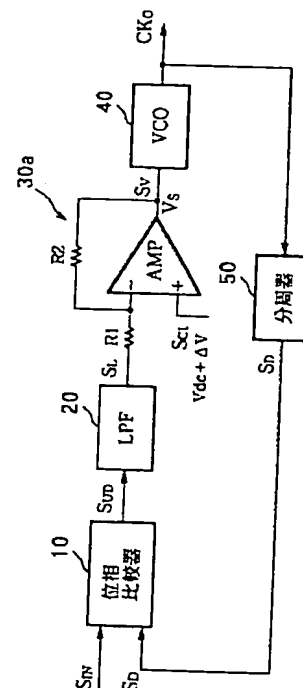
Fターム (参考) 5J106 AA04 BB08 BB10 CC01 CC21
CC52 DD02 DD04 DD05 DD32
FF06 HH02 HH03 KK24 KK26
PP05 QQ03 RR01 RR11

(54) 【発明の名称】 クロック発生回路

(57) 【要約】

【課題】 半導体装置の動作クロック信号をわずかに遷移させることにより、クロック信号のスペクトラム拡散を実現でき、電磁波輻射を低減できるクロック発生回路を実現する。

【解決手段】 PLL回路において位相比較器10は入力した基準クロック信号 S_{IN} と分周器50からの分周信号 S_D との位相を比較し、これらの信号の位相差に応じてアップダウン信号 S_{UD} を出力し、ローパスフィルタ20はその高周波成分を除去し、低周波成分からなる信号 S_L を出力する。直流増幅器30aは信号 S_L に周波数制御信号 S_{C1} に応じたバイアス信号を加えた制御信号 S_V を生成し、VCO40に供給し、VCO40は制御信号 S_V により設定した周波数で発振し、周波数制御信号 S_{C1} に応じて周波数が遷移するクロック信号 CK_0 を発生し、動作クロック信号として半導体装置に供給する。



【特許請求の範囲】

【請求項1】入力されたクロック信号を積分し、当該クロック信号の立ち上がりおよび立ち下がりにおける時間に対するレベル変化の傾きを緩やかにした積分クロック信号を出力する積分回路と、

上記入力クロック信号より低い周波数でレベルを変化する周波数制御信号に応じて上記積分クロック信号をレベル制限し、周波数が上記周波数制御信号に従って変化する第2のクロック信号を出力するリミッタ回路と、

上記第2のクロック信号を所定の通信比で周波数逡倍したクロック信号を出力する周波数逡倍回路とを有するクロック発生回路。

【請求項2】上記周波数逡倍回路は、上記第2のクロック信号と分周信号との位相を比較し、比較結果に応じて位相差信号を出力する位相比較回路と、

上記位相差信号に応じて所定のレベルを有する発振制御信号を出力する増幅回路と、

上記発振制御信号により設定した発振周波数で発振し、発振信号を上記逡倍したクロック信号として出力する電圧制御発振回路と、

上記逡倍したクロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する請求項1記載のクロック発生回路。

【請求項3】入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じてレベルが変化する位相差信号を出力する位相比較回路と、

上記位相差信号に周波数制御信号のレベルに応じたバイアス電圧を加えた発振制御信号を出力する増幅回路と、

上記発振制御信号により設定した発振周波数で発振し、発振信号を出力する電圧制御発振回路と、

上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有するクロック発生回路。

【請求項4】上記増幅回路は、一方の入力端子に上記位相差信号が入力され、他方の入力端子に上記周波数制御信号が入力される差動増幅回路により構成されている請求項3記載のクロック発生回路。

【請求項5】上記位相比較回路からの位相差信号の高周波成分を減衰させ、低周波成分を抽出して、上記増幅回路に出力するローパスフィルタを有する請求項3記載のクロック発生回路。

【請求項6】入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じた位相差信号を出力する位相比較回路と、

上記位相差信号および周波数制御信号に応じてチャージまたはディスチャージ電流を発生し、当該チャージまたはディスチャージ電流に応じて充放電するキャパシタから発振制御信号が出力するチャージポンプ回路と、

上記発振制御信号により設定した発振周波数で発振し、

クロック信号を出力する電圧制御発振回路と、

上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有するクロック発生回路。

【請求項7】上記チャージポンプ回路は、上記位相比較回路からの位相差信号に応じて第1の電流を発生し、接続端子に出力する第1の電流発生回路と、

上記周波数制御信号に応じて第2の電流を発生し、上記接続端子に出力する第2の電流発生回路と、

一方の電極が上記接続端子に接続され、他方の端子が接地され、上記第1および第2の電流に応じて充電または放電することにより、上記接続端子の電圧を変化させ、当該接続端子の電圧を上記発振制御信号として上記電圧制御発振回路に供給するキャパシタとを有する請求項6記載のクロック発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電磁波輻射を低減するために変動する周波数を持つクロック信号を発生するクロック発生回路に関するものである。

【0002】

【従来の技術】近年、半導体製造技術の進歩により半導体素子の最高動作可能な周波数は高くなる。例えば、一例としてパーソナルコンピュータに広く使用されているCPU（中央処理装置）の動作クロック周波数は、開発当初の10MHz前後からすでに200乃至300MHzに達した。このため、高速で動作可能な半導体装置が数多く実現されてきた。

【0003】

【発明が解決しようとする課題】ところで、上述したように、半導体装置の動作周波数の向上によりもたらした問題の一つは電磁波輻射である。周波数の向上に伴い、高周波信号の波長が短くなり、接続回路または基板内部の配線長は高周波信号の波長とほぼ同じオーダーになると、基板内部の配線などの接続部はアンテナとして機能し、周囲への電磁波輻射が急激に増加してしまうという不利益がある。

【0004】高速なクロック信号で動作する半導体素子を用いた電子機器の電磁波輻射により、電子機器間の相互干渉による誤動作、通信装置への妨害などをはじめ、人体への影響も懸念されている。現在電子輻射が問題となる電子機器に対して、回路の配置などを改良し電磁波輻射を低減するほか、電磁波遮蔽（シールド）により周囲への電磁波の漏れを低減させるなどの対策が施されている。しかし、モバイル機器などでは小型化、軽量化が要求された場合に、電磁波輻射を低減するためのシールドを十分に施すことができず、電磁波輻射に対する有効な防止方法はほとんどない。

【0005】本発明は、かかる事情に鑑みてなされたものであり、その目的は、半導体装置の動作クロック信号

を微小に遷移させることにより、クロック信号のスペクトラム拡散を実現でき、電磁波輻射を低減可能なクロック信号を生成するクロック発生回路を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明のクロック発生回路は、入力されたクロック信号を積分し、当該クロック信号の立ち上がりおよび立ち下がりにおける時間に対するレベル変化の傾きを緩やかにした積分クロック信号を出力する積分回路と、上記入力クロック信号より低い周波数でレベルを変化する周波数制御信号に応じて上記積分クロック信号をレベル制限し、周波数が上記周波数制御信号に従って変化する第2のクロック信号を出力するリミッタ回路と、上記第2のクロック信号を所定の通倍比で周波数通倍したクロック信号を出力する周波数通倍回路とを有する。

【0007】また、本発明では、好適には、上記周波数通倍回路は、上記第2のクロック信号と分周信号との位相を比較し、比較結果に応じて位相差信号を出力する位相比較回路と、上記位相差信号に応じて所定のレベルを有する発振制御信号を出力する増幅回路と、上記発振制御信号により設定した発振周波数で発振し、発振信号を上記通倍したクロック信号として出力する電圧制御発振回路と、上記通倍したクロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する。

【0008】また、本発明のクロック発生回路は、入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じてレベルが変化する位相差信号を出力する位相比較回路と、上記位相差信号に周波数制御信号のレベルに応じたバイアス電圧を加えた発振制御信号を出力する増幅回路と、上記発振制御信号により設定した発振周波数で発振し、クロック信号を出力する電圧制御発振回路と、上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する。

【0009】さらに、本発明のクロック発生回路は、入力クロック信号と分周信号の位相を比較し、上記入力クロック信号と上記分周信号の位相差に応じた位相差信号を出力する位相比較回路と、上記位相差信号および周波数制御信号に応じてチャージまたはディスチャージ電流を発生し、当該チャージまたはディスチャージ電流に応じて充放電するキャパシタから発振制御信号が出力するチャージポンプ回路と、上記発振制御信号により設定した発振周波数で発振し、クロック信号を出力する電圧制御発振回路と、上記クロック信号を所定の分周比で分周し、分周信号を上記位相比較回路に出力する分周回路とを有する。

【0010】本発明によれば、クロック発生回路において、半導体装置の正常の動作に影響しない程度にわずかに

に周波数が遷移するクロック信号を発生し、動作クロック信号として半導体装置に供給することにより、クロック信号の周波数スペクトラムを拡散させ、半導体装置の電磁波輻射を低減させる。具体的に、例えば、入力クロック信号に比べて緩やかにレベルが変化する周波数制御信号より、積分したクロック信号をリミットすることで、周波数が変化するクロック信号が生成され、当該クロック信号に応じて、PLL回路により所定の通倍数で通倍したクロック信号を生成し半導体装置に供給する。

【0011】また、本発明のクロック発生回路はPLL回路により構成され、当該PLL回路においてVCOに供給する制御信号を発生する直流増幅回路、例えば、差動増幅回路において、一方の入力端子に位相比較回路が入力され、他方の入力端子に周波数制御信号が入力されるので、VCOに入力される発振制御信号に発振周波数に応じたバイアス成分が含まれ、当該周波数制御信号に応じてVCOの発振周波数が遷移するように制御される。さらに、PLL回路を構成するチャージポンプにおいて、周波数制御信号に応じてバイアス電圧が発生され、位相差信号に応じて発生した電流に当該バイアス電流が加えられるので、チャージポンプの出力信号により発振周波数が制御されるVCOの発振周波数は周波数制御信号に従って遷移する。

【0012】

【発明の実施の形態】第1実施形態

図1は本発明に係るクロック発生回路の第1の実施形態を示す回路図である。本実施形態のクロック発生回路は、積分器1、リミッタ2、PLL回路3および分周器4により構成されている。

【0013】積分器1は、入力されたクロック信号CK_{IN}を積分して、積分したクロック信号CK_Sを出力する。リミッタ2は、積分クロック信号CK_Sおよび周波数制御信号S_Cを受けて、これらの信号に応じてPLL回路3に入力するクロック信号S_{IN}を出力する。PLL回路3は、リミッタ2から入力されたクロック信号S_{IN}および分周器4から入力された分周信号S_Dに応じて、例えば、クロック信号S_{IN}に応じて周波数或いは位相が制御されるクロック信号CK_{OUT}を出力する。

【0014】リミッタ2に入力される周波数制御信号S_Cに応じて、PLL回路3の出力クロック信号CK_{OUT}の出力を微小の変動幅をもって遷移させることにより、クロック信号CK_{OUT}のスペクトラムを拡散させる。このため、クロック信号CK_{OUT}を動作周波数として動作する半導体装置においては、動作クロック信号のスペクトラムが分散した結果、電磁波輻射の低減を実現できる。

【0015】図2は、分周器を含むPLL回路3の一構成例を示している。図示のように、PLL回路3は、位相比較器10、ローパスフィルタ(LPF)20、直流増幅器30、電圧制御発振器(VCO)40および分周

器50により構成されている。なお、図2における分周器50は、図1に示す分周器4と同一のものである。

【0016】位相比較回路10は、分周回路50からの分周信号 S_D とリミッタ2から入力されたクロック信号 S_{IN} との位相を比較し、これらの信号の位相差を示すアップダウン信号 S_{UD} を出力する。ローパスフィルタ20は、位相比較器10からのアップダウン信号 S_{UD} に含まれている高周波成分を除去し、低周波成分のみからなる信号 S_L を出力する。直流増幅器30は、図示のように、差動増幅器AMPおよび抵抗素子 R_1 、 R_2 からなる反転型増幅回路であり、ローパスフィルタ20からの低周波信号 S_L を増幅し、さらに増幅した信号に所定の直流レベル V_{dc} を加えた信号 S_V を制御信号としてVCO40に出力する。VCO40は、直流増幅器30からの制御信号 S_V により制御された発振周波数で発振し、発振信号を出力する。なお、VCO40により出力される発振信号は、動作クロック信号 CK_0 として他の半導体装置に供給される。分周器50は、VCO40からのクロック信号 CK_0 を予め設定された分周比で分周し、分周信号 S_D を位相比較器10に出力する。

【0017】図3は、本実施形態のクロック発生回路の各部分回路の信号波形を示している。以下、図1～図3を参照しつつ、本実施形態のクロック発生回路の動作について説明する。

【0018】図1のリミッタ2に入力される周波数制御信号 S_c は、図3(a)に示すように、例えば、所定の周期を持つ三角波である。当該三角波は、入力クロック信号 CK_{IN} よりかなり周波数が低く、緩やかに変化する低周波の信号である。なお、ここで、一例として三角波の信号を示しているが、周波数制御信号 S_c は、三角波に限定されるものではなく、他の信号、例えば、正弦波、或いは階段状にレベルが変化する信号でもよい。

【0019】図3(b)に示す一定の周期 T を持つクロック信号 CK_{IN} は、積分器1に入力され、積分の結果、同図(c)に示す積分クロック信号 CK_S が得られる。リミッタ2において、周波数制御信号 S_c を用いて、積分クロック信号 CK_S のレベルをリミットした結果、同図(d)に示す周期が絶えずに変化するクロック信号が得られる。当該クロック信号は入力信号 S_{IN} としてPLL回路3に供給される。

【0020】PLL回路3は、分周器4の分周比 n (n は正整数)で設定した逡倍数で入力信号 S_{IN} の周波数を逡倍し、クロック信号 CK_0 を発生する。例えば、入力信号 S_{IN} の周波数を f とすると、出力クロック信号 CK_0 の周波数は nf となる。入力信号 S_{IN} の周波数が変化し、例えば、 $(f + \Delta f)$ になると、出力クロック信号 CK_0 の周波数もそれに追従して、 $(nf + n\Delta f)$ に変化する。上述したように、リミッタ2において周波数制御信号 S_c に応じて積分クロック信号 CK_S をリミットの結果、得られた信号 S_{IN} の周波数は、周波数制御信

号 S_c のレベルに応じて制御される。このため、PLL回路3の出力クロック信号 CK_0 の周波数も制御信号 S_c のレベルにより制御される。即ち、本実施形態のクロック発生回路は、一種の周波数変調回路として機能し、周波数制御信号 S_c を用いて入力クロック信号 CK_{IN} の周波数に対して変調機能を働き、周波数が変化するクロック信号 CK_0 を提供することができる。

【0021】本実施形態のクロック発生回路により、周波数制御信号 S_c に応じて周波数が変化するクロック信号 CK_0 が発生される。当該クロック信号 CK_0 を動作クロック信号として動作する他の半導体装置において、クロック信号のスペクトラムが拡散されるので、電磁波輻射を大幅に低減することが可能である。図4(b)はスペクトラム拡散が施されたクロック信号のスペクトラムを示している。なお、比較のため、同図(a)にはスペクトラム拡散が行われていないクロック信号 CK のスペクトラムを示している。

【0022】図4(a)に示すように、スペクトラム拡散が行われていない場合に、クロック信号 CK のスペクトラムは、ノイズ成分などによりわずかに両側に広がった部分を除けば、ほとんど中心周波数 f_{CK} に集中している。これに対して、本実施形態のクロック発生回路によりスペクトラムが拡散したクロック信号のスペクトラムは、同図(b)に示すように、周波数 f_{CK} を中心に広範囲に両側に広がり、そのピーク値は、図(a)に示すスペクトラムに比べて大幅に低減される。これによって、本実施形態のクロック発生回路で供給したクロック信号 CK_0 で動作する半導体装置において、電磁波輻射が大幅に低減することが可能となり、シールドなどの対策を講じることが困難な場合でも、装置周辺への電磁波の漏れを大幅に減少させることが可能である。

【0023】第2実施形態

図5は本発明に係るクロック発生回路の第2の実施形態を示す回路図である。上述したクロック発生回路の第1の実施形態において、リミッタを用いてレベルが緩やかに変化する周波数制御信号 S_c で積分したクロック信号のレベルをリミットすることで周波数が遷移するクロック信号を発生し、当該クロック信号を所定の逡倍比で逡倍したクロック信号 CK_0 を発生する。このため、リミッタの他に積分器が必要であり、PLL回路以外の付加回路が多く、回路のコストが大きくなる。

【0024】これに対して、本実施形態のクロック発生回路において、PLL回路のみを用いて周波数を遷移させることができ、簡単な回路構成により所望のクロック信号を発生することができ、小型化、安価なクロック発生回路を実現できる。以下、図5を参照しつつ、本実施形態のクロック発生回路の構成およびその動作について説明する。

【0025】図5に示すように、本実施形態のクロック

発生回路を構成するPLL回路は、図2に示すPLL回路3とほぼ同じ構成を有する。ただし、本実施形態において、直流増幅器30aを構成する差動増幅AMPにレベルが変化する周波数制御信号 S_{c1} が入力され、これによって直流増幅器30aから出力される制御信号 S_v のレベルを制御し、VCO40の発振周波数を制御する。

【0026】PLL回路を構成する位相比較器10には、クロック信号 S_{IN} および分周器50からの分周信号 S_D が入力される。クロック信号 S_{IN} は、例えば、安定した周波数を持つ基準クロック信号である。位相比較器10は、入力されたクロック信号 S_{IN} と分周信号 S_D との位相を比較し、これらの信号の位相差に応じてアップダウン信号 S_{UD} を出力する。ローパスフィルタ20は、位相比較器10からのアップダウン信号 S_{UD} に含まれている高周波成分を除去し、低周波成分のみからなる信号 S_L を出力する。

【0027】直流増幅器30aは、例えば、差動増幅器AMPにより構成され、ローパスフィルタ20からの低

$$\begin{aligned} V_L &= (V_{dc} + \Delta V) - (V_s - V_{dc} - \Delta V) \cdot R1/R2 \\ &= (V_{dc} + \Delta V) (R1 + R2) / R2 - V_s R1/R2 \quad \cdots (1) \end{aligned}$$

【0030】VCO40は、直流増幅器30aから出力される制御信号 S_v により、発振周波数が制御され、当該発振周波数を持つクロック信号 CK_0 が出力される。このため、VCO40の発振周波数は、直流増幅器30aに入力された周波数制御信号 S_{c1} のレベル変化に応じて遷移する。即ち、出力クロック信号 CK_0 のスペクトラムが拡散される。

【0031】このように、差動増幅回路AMPにバイアス信号 S_{c1} を加えた結果、ローパスフィルタ20の出力信号 S_L の電圧レベルが式(1)に示す電圧 V_L になるようにPLL回路が動作する。その結果、差動増幅回路AMPに加えられたバイアス信号 S_{c1} のレベルに応じてVCO40の発振周波数が変化する。

【0032】クロック信号 CK_0 が動作クロック信号として、他の半導体装置が供給されるので、当該クロック信号 CK_0 で動作する半導体装置の電磁波放射が大幅に低減される。

【0033】以上説明したように、本実施形態によれば、PLL回路において位相比較器10により入力した基準クロック信号 S_{IN} と分周器50からの分周信号 S_D との位相を比較し、これらの信号の位相差に応じてアップダウン信号 S_{UD} を出力し、ローパスフィルタ20はその高周波成分を除去し、低周波成分からなる信号 S_L を出力する。直流増幅器30aは入力される周波数制御信号 S_{c1} をバイアスとする制御信号 S_v を生成し、VCO40に供給する。VCO40は制御信号 S_v により設定した周波数で発振し、周波数制御信号 S_{c1} に応じて周波数が遷移するクロック信号 CK_0 を発生し、動作クロック信号として半導体装置に供給するので、スペクトラム拡散したクロック信号で動作する半導体装置の電磁波輻

射信号 S_L が抵抗素子R1を通して差動増幅器AMPの反転入力端子“-”に入力され、さらに、当該反転入力端子“-”は抵抗素子R2を介して差動増幅器AMPの出力端子に接続されている。差動増幅器AMPの入力端子“+”に周波数制御信号 S_{c1} が入力される。図示のように、周波数制御信号 S_{c1} は直流レベル V_{dc} にバイアス電圧 ΔV が加わった信号であり、例えば、図3(a)に示す三角波である。

【0028】このように、差動増幅器AMPおよび抵抗素子R1、R2により反転増幅回路が構成され、その出力端子から入力信号 S_L の反転信号にバイアス信号 S_{c1} が加わった信号 S_v が出力され、VCO40に供給される。ここで、ローパスフィルタ20の出力信号 S_L の電圧を V_L とし、信号 S_v の電圧を V_s とすると、次式が成り立つ。

【0029】

【数1】

射を低減できる。

【0034】第3実施形態

図6は本発明に係るクロック発生回路の第3の実施形態を示す回路図である。図示のように、本実施形態のクロック発生回路は図5に示した本発明の第2の実施形態とほぼ同様に、PLL回路を用いて周波数が遷移するクロック信号を発生する。ただし、本実施形態において位相比較器10aの出力信号に応じて動作するチャージポンプ60に周波数制御信号 S_{c2} で所定のバイアス電流を発生させることにより、信号 S_L のレベルを制御することで、VCO40の発振周波数を制御する。

【0035】位相比較器10aに入力される信号 S_{IN} は、例えば、所定の周波数を持つ基準クロック信号である。位相比較器10aは、当該基準クロック信号 S_{IN} と分周器50からの分周信号 S_D の位相を比較し、比較結果に応じてアップ信号 S_{UP} またはダウン信号 S_{DN} を出力する。なお、これらの出力信号は、例えば、基準クロック信号 S_{IN} と分周信号 S_D の位相差に応じて幅が制御されるパルス信号である。例えば、基準クロック信号 S_{IN} が分周信号 S_D より位相が進んでいるとき、これらの信号の位相差に応じた幅を持つパルス信号であるアップ信号 S_{UP} が出力され、逆に、基準クロック信号 S_{IN} が分周信号 S_D より位相が遅れているとき、これらの信号の位相差に応じた幅を持つパルス信号であるダウン信号 S_{DN} が出力される。

【0036】チャージポンプ60は、アップ信号 S_{UP} またはダウン信号 S_{DN} に応じてチャージ電流 i_c を発生する。さらに、入力された周波数制御信号 S_{c2} に応じてバイアス電流 Δi_c を発生し、チャージ電流 i_c に加える。このため、チャージ電流 i_c およびバイアス電流 Δ

i_c の和 ($i_c + \Delta i_c$) に応じて、キャパシタ C1 が充電または放電し、当該キャパシタ C1 の充放電に応じてレベルが制御される信号 S_L が出力される。

【0037】直流増幅器 30 は、チャージポンプ 60 から出力される信号 S_L を増幅し、得られた信号 S_V を制御信号として VCO40 に供給する。なお、本実施形態の直流増幅器 30 は、例えば、図 2 に示す PLL 回路 3 を構成する直流増幅器と同じ構成を有するものでよい。VCO40 は、制御信号 S_V により制御された発振周波数で発振し、発振信号を出力する。当該発振信号を動作クロック信号 CK_0 として、半導体装置に供給する。分周器 50 は VCO40 で発生したクロック信号 CK_0 を予め設定した分周比 n で分周し、分周信号 S_D を発生し、位相比較器 10a に入力する。

【0038】図 7 はチャージポンプ 60 の一構成例を示す回路図である。図示のように、チャージポンプ 60 は、電源電圧 V_{dd} と接地電位 GND 間に直列に接続されている pnp トランジスタ P1 と npn トランジスタ Q1 および pnp トランジスタ P2 と npn トランジスタ Q2、さらに、これらのトランジスタのエミッタ側に接続されている抵抗素子 R3, R4, R5 および R6 により構成されている。

【0039】トランジスタ P1 のエミッタが抵抗素子 R3 を介して電源電圧 V_{dd} に接続され、ゲートに位相比較器 10a からのアップ信号 S_{UP} が入力される。トランジスタ Q1 のエミッタが抵抗素子 R4 を介して接地され、ゲートに位相比較器 10a からのダウン信号 S_{DW} が入力される。トランジスタ P1 と Q1 コレクタはノード ND1 に接続されている。トランジスタ P2 のエミッタが抵抗素子 R5 を介して電源電圧 V_{dd} に接続され、コレクタがノード ND1 に接続されている。トランジスタ Q2 のエミッタが抵抗素子 R6 を介して接地され、コレクタがノード ND1 に接続されている。さらに、トランジスタ P2 と Q2 のゲートに周波数制御信号 S_{C2} が入力されている。キャパシタ C1 は、ノード ND1 と接地電位 GND との間に接続されている。

【0040】位相比較器 10a からアップ信号 S_{UP} 、例えば、ローレベルのパルス信号が入力されると、トランジスタ P1 に電流 I_1 が流れ、ノード ND1 に入力される。一方、位相比較器 10a からダウン信号 S_{DW} 、例えば、ハイレベルのパルス信号が入力されると、トランジスタ Q1 に電流 I_2 が流れる。キャパシタ C1 は、ノード ND1 に電流 I_1 が入力される時、当該電流により充電され、ノード ND1 の電位が上昇する。逆に、ノード ND1 からトランジスタ Q2 に電流 I_2 が流れると、ノード ND1 がディスチャージされ、ノード ND1 の電位が降下する。このため、位相比較器 10a の比較結果に応じて、キャパシタ C1 が充電またはディスチャージされ、ノード ND1 の電圧が制御される。

【0041】一方、トランジスタ P2 と Q2 のゲートに

入力された周波数制御信号 S_{C2} のレベルに応じて、これらのトランジスタに流れる電流が制御される。例えば、周波数制御信号 S_{C2} のレベルが低くなると、トランジスタ P2 に電流 I_3 が流れて、これに応じてキャパシタ C1 が充電される。一方、周波数制御信号 S_{C2} のレベルが高くなると、トランジスタ Q2 に電流 I_4 が流れ、これに応じてキャパシタ C1 はディスチャージされる。このため、周波数制御信号 S_{C2} のレベルに応じて、キャパシタ C1 が充電またはディスチャージされ、ノード ND1 の電圧が制御される。

【0042】上述したように、チャージポンプ 60 において、位相比較器 10a からのアップ信号 S_{UP} またはダウン信号 S_{DW} および周波数制御信号 S_{C2} に応じて、ノード ND1 の電圧、即ち、チャージポンプ 60 の出力信号 S_L のレベルが制御される。当該信号 S_L は直流増幅器 30 により増幅したあと制御信号 S_V として VCO40 に入力される。この結果、VCO40 の発振周波数は位相比較器 10a からのアップ信号 S_{UP} およびダウン信号 S_{DW} のほか、周波数制御信号 S_{C2} により制御される。

【0043】チャージポンプ 60 に入力される周波数制御信号 S_{C2} は、例えば、図 3 (a) に示す三角波とすると、VCO40 の出力クロック信号 CK_0 は、当該三角波のレベル変化に応じて周波数が緩やかに遷移する。このため、クロック信号 CK_0 を動作クロックとする半導体装置において、クロック信号のスペクトラムが拡散するので、電磁波輻射が大幅に低減される。

【0044】以上説明したように、本実施形態によれば、位相比較器 10a は入力された基準クロック信号 S_{IN} と分周器 50 からの分周信号 S_D の位相を比較し、これらの信号の位相差に応じてアップ信号 S_{UP} またはダウン信号 S_{DW} を出力する。チャージポンプ 60 は位相比較器 10a の出力信号および周波数制御信号 S_{C2} に応じて充電またはディスチャージ電流を発生し、キャパシタ C1 はこれに応じて充電またはディスチャージし、信号 S_L のレベルを制御する。直流増幅器 30 により信号 S_L を増幅して制御信号 S_V を生成し、VCO40 に供給し、VCO40 は制御信号 S_V で設定した周波数で発振し、クロック信号 CK_0 を出力するので、当該クロック信号 CK_0 の周波数は周波数制御信号 S_{C2} のレベル変化に応じて遷移し、スペクトラムが拡散するのでこれを動作クロックとする半導体装置の電磁波輻射が大幅に低減される。

【0045】

【発明の効果】以上説明したように、本発明のクロック発生回路によれば、発生されるクロック信号の周波数が緩やかに遷移させることにより、そのスペクトラムが拡散し、これに応じて動作する半導体装置の電磁波輻射が低減できる利点がある。

【図面の簡単な説明】

【図 1】本発明に係るクロック発生回路の第 1 の実施形

態を示す回路図である。

【図2】図1に示すクロック発生回路を構成するPLL回路の一構成例を示す回路図である。

【図3】第1の実施形態のクロック発生回路の動作を示す波形図である。

【図4】クロック信号のスペクトラムを示す図である。

【図5】本発明に係るクロック発生回路の第2の実施形態を示す回路図である。

【図6】本発明に係るクロック発生回路の第3の実施形

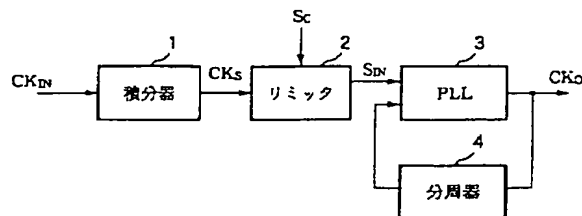
態を示す回路図である。

【図7】図6に示すクロック発生回路を構成するチャージポンプの一構成例を示す回路図である。

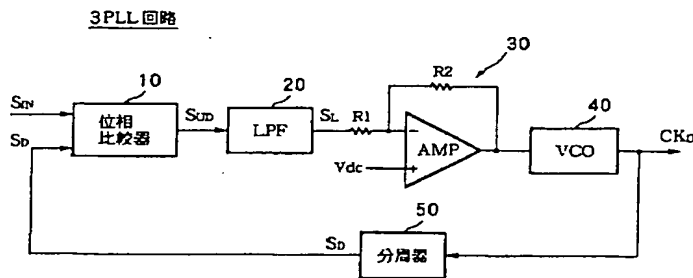
【符号の説明】

1…積分器、2…リミッタ、3…PLL回路、4…分周器、10、10a…位相比較器、20…ローパスフィルタ、30、30a…直流増幅器、40…VCO、50…分周器、60…チャージポンプ、 V_{dd} …電源電圧、GND…接地電位。

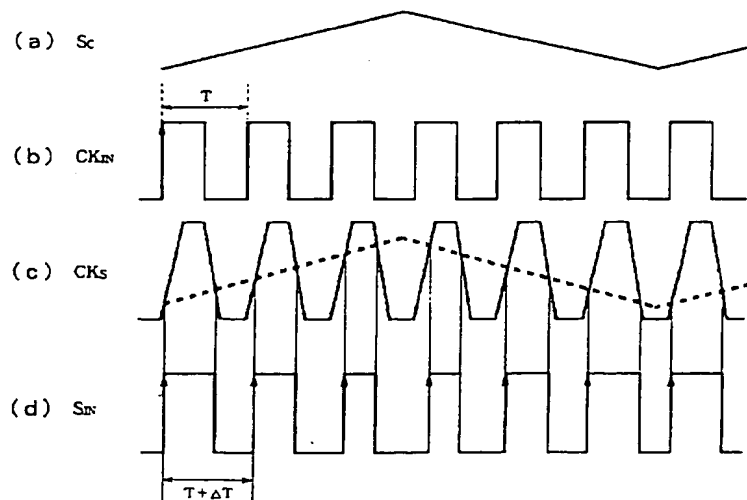
【図1】



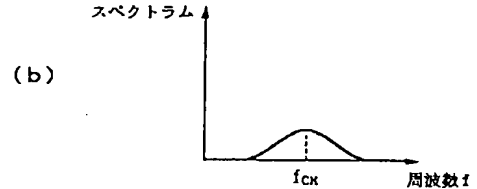
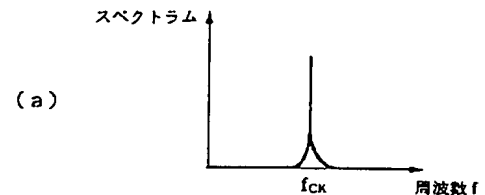
【図2】



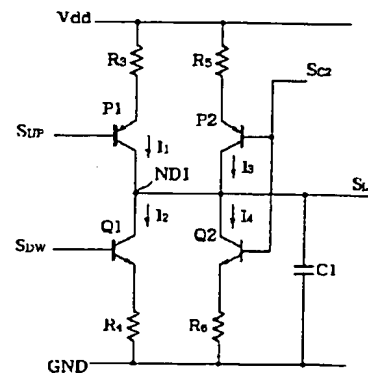
【図3】



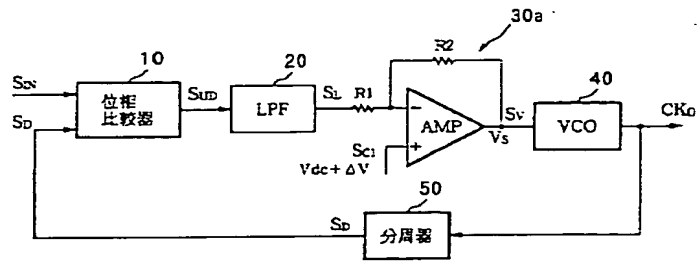
【図4】



【図7】



【図5】



【図6】

